

PLANAR INDUCTOR AND PLANAR TRANSFORMER

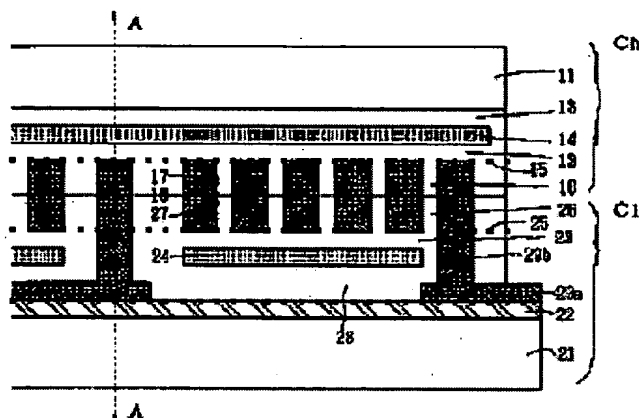
BEST AVAILABLE COPY

Patent number: JP11176639
Publication date: 1999-07-02
Inventor: MATSUZAKI KAZUO; HAYASHI YOSHITOMO; SUGAWARA SATOSHI
Applicant: FUJI ELECTRIC CO LTD
Classification:
- international: H01F17/00; H01L27/04; H01L21/822
- european:
Application number: JP19970342540 19971212
Priority number(s):

Abstract of JP11176639

PROBLEM TO BE SOLVED: To provide a planar inductor and transformer, which can reduce a loss in a coil part, in particular, a D.C. loss by making a coil film thick, and which can be easily manufactured.

SOLUTION: A magnetic thin film 14 is formed on a silicon wafer 11 through an insulating film 13a disposed therebetween, an insulating film 13b is formed on the insulating film 13a, an intermediate insulating film 16 is formed on the film 13b, the intermediate film 16 is formed therein with a groove, and a coil conductor 17 is embedded in the groove. The planar coil conductor is overlapped with another planar coil formed on another substrate symmetrically with respect to a plane, so that the coils are electrically connected each other at their coil faces.



BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 1 1 - 1 7 6 6 3 9

(43)公開日 平成11年(1999)7月2日

(51)Int. Cl.⁶

識別記号

F I

H 0 1 F 17/00

H 0 1 F 17/00

B

H 0 1 L 27/04

H 0 1 L 27/04

L

21/822

審査請求 未請求 請求項の数 4

O L

(全 8 頁)

(21)出願番号 特願平9-342540

(22)出願日 平成9年(1997)12月12日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 松崎 一夫

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

(72)発明者 林 善智

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

(72)発明者 菅原 聡

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

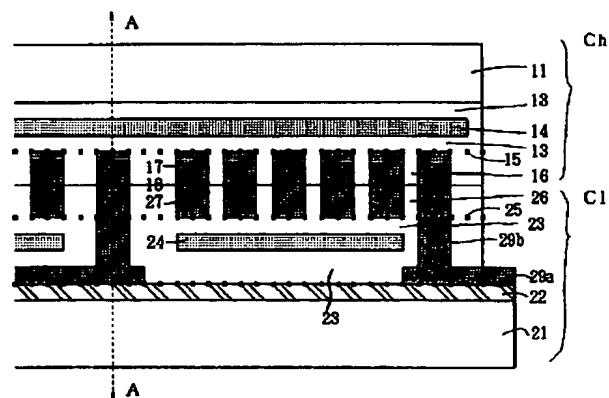
(74)代理人 弁理士 篠部 正治

(54)【発明の名称】平面型インダクタおよび平面型トランス

(57)【要約】

【課題】 コイル膜厚を厚くしてコイル部の損失、とりわけ直流損失を低減し、かつ製造の容易な平面型インダクタおよび平面型トランスを提供する。

【解決手段】 シリコンウェハ 1 1 上に絶縁膜 1 3 a を介して磁性薄膜 1 4 を堆積し、更に絶縁膜 1 3 b で覆った上に、中間絶縁膜 1 6 を積層し、その中間絶縁膜 1 6 に溝を形成し、コイル導体 1 7 を埋め込む。その平面コイルと面対称となるように他方の基板上に形成された平面コイルとをコイル面同士が電氣的に接続されるように重ね合わされる。



- | | |
|---------------|-------------|
| 11、21 シリコンウェハ | 17、27 コイル導体 |
| 13、23 絶縁膜 | 18 インジウム半田 |
| 14、24 磁性薄膜 | 19a 電極 |
| 15、25 白金膜 | 19b 接続導体 |
| 16、26 中間絶縁膜 | 22 酸化膜 |
| Ch 上部チップ | C1 下部チップ |

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】一方の基板上に形成された平面コイルと、その平面コイルと面対称となるように他方の基板上に形成された平面コイルとをコイル面同士が電氣的に接続されるように重ね合わされた構造であることを特徴とする平面型インダクタ。

【請求項2】それぞれの基板と平面コイルとの間に磁性薄膜を有することを特徴とする請求項1記載の平面型インダクタ。

【請求項3】一方の基板上に磁性薄膜が敷かれ、その磁性薄膜上に絶縁層を介して形成された第一の平面コイルと、その平面コイルと面対称となるように他方の基板上に磁性薄膜と絶縁層を介して形成された第二の平面コイルとのコイル面同士が絶縁膜を介して重ね合わされ、第一と第二の平面コイルの入、出力端子がそれぞれ電氣的に接続された構造であることを特徴とする平面型インダクタ。

【請求項4】一方の基板上に磁性薄膜が敷かれ、その磁性薄膜上に絶縁層を介して形成された第一の平面コイルと、その平面コイルと面対称となるように他方の基板上に磁性薄膜と絶縁層を介して形成された第二の平面コイルとのコイル面同士が絶縁膜を介して重ね合わされ、第一と第二の平面コイルの入、出力端子が電氣的に分離され、それぞれが1次および2次側の端子を構成することを特徴とする平面型トランス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電氣的エネルギーと磁氣的エネルギーとの変換作用をもつ、インダクタ、トランス等の磁気誘導部品に関する。

【0002】

【従来の技術】近年、インダクタ、トランスに代表される磁気誘導部品の小型化要求が高まってきている。その理由として、電子情報機器、携帯用各種電子機器の小型軽量化に伴い、電源の小型軽量化が不可欠となってきたことが挙げられる。高品質の電源を得るための電源回路方式や、その中で用いられる制御用IC、スイッチング素子、整流素子等の能動素子の技術的進歩が著しい中で、これら電源回路の中に用いられるコイル、トランス、コンデンサ等の受動素子が占める容積の問題が浮き彫りにされてきている。特にインダクタやトランス等の磁気誘導部品は、集積回路と比べると体積が非常に大きいために、電子機器の小形化を図る上で最大の隘路になっている。

【0003】これら磁気誘導部品の小型化に対する今後の方向としては、チップ部品として限りなく小さくし、面実装により電源全体を小さくする方向と、シリコン基板上に薄膜で形成する方向の二つが考えられる。何れの場合においても、電磁変換効率の向上と、電磁干渉の防止が大きな課題である。電磁変換効率の向上という点で

は、例えば特開平1-151211号公報に、セラミック基板の捲線を、積層して小型化を狙ったトランスの例が開示されている。一方例えば、特開平2-275606号公報に平面インダクタと称するコイル導体を平面上でスパイラル状に形成した薄膜インダクタや同様の薄膜トランスが開示されている。これらの従来技術からもわかるように、電子装置の全体構造を小形化し、かつ面実装等の組み立ての手間を極力省いて合理化できる点では、後者の方向が有利であると考えられる。

【0004】コイル導体を平面上でスパイラル状に形成した平面インダクタンスと称する特開平2-275606号公報の技術は本質は個別素子であるが、チップへの搭載に適する。しかし、これはポリイミドフィルムの両面に銅のコイルを形成したものであり、しかも、銅コイルの断面積は、 $35\mu\text{m} \times 250\mu\text{m}$ 、コイルのピッチ $500\mu\text{m}$ というような、通常の集積回路の寸法を遙かに越えたものであって、数 $\sim 10\text{mm}$ 角の小形チップに集積回路とモノリシック化する（一体に作り込む）には無理がある。

【0005】近年、磁気誘導部品の小形化の要求に応じて、半導体技術の適用により、半導体基板上に磁気誘導部品を搭載した例も報告されている。発明者の同僚も特願平8-149626において、そのような平面型磁気誘導部品を考案した。図9(a)ないし(c)は、その提案に記載された平面型インダクタのコイル導体の製造工程部分を工程順に示した部分断面図である。

【0006】表面に酸化膜2が形成されたシリコンウェハ1上に磁性薄膜4を積層し、更に絶縁膜3で覆った上に、メッキの核となる例えば白金核5を薄く島状に蒸着する【図9(a)】。中間絶縁膜6となる感光性ポリイミドを、コイル導体の高さである t の厚さに形成するフォトリソマスクを使用して露光、現像をおこない、幅 d 、間隔 s の溝を形成する【同図(b)】。

【0007】ポリイミドのキュア後、溝内にメッキによりコイル導体7となる銅を充填する【同図(c)】。この後、コイル導体7および中間絶縁膜6の上に絶縁膜を介して磁性薄膜を堆積して、断面が $t \times d$ 、間隔が s のコイルが形成される。この方法は、マイクロマシーニング技術の中でおこなわれている方法である。[LIGAプロセスとよばれるものなど、例えば Menz, W. et al, Proc. IEEE Micro Mechanical Systems Workshop, p.69, (1991)]

【0008】

【発明が解決しようとする課題】コイルを前記の特開平2-275606号公報の例のように大きくしなければならぬ理由の一つに、 $Q(=\omega L/R)$ 値を高くできないすなわち、電磁変換効率の向上が困難である点が挙げられる。ここで ω は角周波数、 L はインダクタンス、 R は抵抗である。

【0009】すなわち、従来から磁気誘導部品を小形化

するには、先ず電子装置の動作周波数を上げて、小さなインダクタンス値でも所定のQ値が得られるようにしているが、1MHz以上の周波数領域では、磁気回路やコイル内の高周波損失のために磁気誘導部品のインダクタンス値Lが飽和し、抵抗値Rが増加するので、動作周波数を上げると、Q値が飽和しないし逆に減少してくる。このため、動作周波数を上げてQ値を所定レベルに維持するために磁気誘導部品の体積を小さくできなくなってくる。特開平2-275606号公報の平面インダクタンスにおいて、銅コイルを大きくした理由の一つは、Q

10 値を高くするためであった。
 【0010】Q値を高くするためには、 ω を高くすることは勿論であるが、Lの値をなるべく大きく、Rの値をなるべく小さくする必要がある。Lの値は、コイルのターン数、すなわちコイルのサイズにほぼ比例するため、小型化の方向とは逆になり制限がある。残されたQ値の向上策は、R値をなるべく小さくすることである。Rの値をなるべく小さくするという点からもターン数、すなわちコイルのサイズは、なるべく小さくおさえるべきである。

20 【0011】Rは、直流抵抗と、交流抵抗成分とに分けられる。交流抵抗成分としては磁性膜に絡む渦電流成分やヒステリシス成分などのいわゆる鉄損、および交流磁界がコイル導体を横切ることによってコイル導体中を流れる電流を偏らせて生ずる磁気誘導型銅損がある。高周波化に伴い、このような交流抵抗成分の低減が不可欠である。

30 【0012】一般に、コイルの直流抵抗を低くするためには、抵抗率の低い導体材料の選択と、コイル長を短くすること、コイル断面積を大きくすることが考えられる。抵抗率の低い導体材料の選択は限られており、抵抗率の点で銅を用いるのが一般的である。コイル長については、一定のLを得るためには、ある程度の長さが必要であり、制約がある。残りは、コイル断面積を大きくすることである。

40 【0013】前述の磁気誘導型銅損を考慮すると、コイル幅はなるべく狭い方が良いため、結局のところコイル厚を厚くする以外に方策は無い。前項の製造方法の場合、コイル厚はメッキマスク（例えば感光性ポリイミド）の厚さで決まる。コイル厚を厚くしようと思えば、感光性ポリイミドを厚く塗布し、指向性の良い光源（SOR光など）で露光しなければならない。

50 【0014】しかし、そのような方法で際限無く厚いコイルが実現できるわけではない。例えばメッキ厚が厚くなると、メッキ膜中の応力が大きく、基板としたシリコンウェハが反るなどの問題が生じる。シリコン基板の反りは、実際のプロセス上では大きな問題であり、例えば、パターン形成やチップ化などの後工程に支障を来すことになる。このため実際には、直径4インチのシリコンウェハ上に厚さが30 μ m以上のコイル導体をもつ磁

気誘導部品を作ることは極めて困難である。

【0015】このような現状に立脚して、本発明は集積回路等の半導体装置のチップ上に直接作り込むに適した薄膜積層構造をもち、コイル膜厚を厚くしてコイル部の損失、とりわけ直流損失を低減し、かつ製造の容易な平面型インダクタおよび平面型トランスを提供することを目的とする。

【0016】

【課題を解決するための手段】上記課題解決のため本発明の平面型インダクタは、一方の基板上に形成された平面コイルと、その平面コイルと面対称となるように他方の基板上に形成された平面コイルとをコイル面同士が電氣的に接続されるように重ね合わされた構造であるものとする。

【0017】そのようにすれば、これまでの製造限界の二倍の厚さのコイル導体を、プロセス上の問題も無く容易に実現できる。特に、それぞれの基板と平面コイルとの間に高透磁率の磁性薄膜を有するものとする。そのようにすれば、磁束密度が高められ、磁束を有効に収束できる。

【0018】また、一方の基板上に磁性薄膜が敷かれ、その磁性薄膜上に絶縁層を介して形成された第一の平面コイルと、その平面コイルと面対称となるように他方の基板上に磁性薄膜と絶縁層を介して形成された第二の平面コイルとのコイル面同士が絶縁膜を介して重ね合わされ、第一と第二の平面コイルの入、出力端子がそれぞれ接続された構造とすることもできる。

【0019】そのようにすれば、これまでの製造限界の二倍の厚さのコイル導体に相当する平面型インダクタを実現できるだけでなく、コイル導体を分割したことにより、渦電流損を低減できる。更に本発明の平面型トランスは、一方の基板上に磁性薄膜が敷かれ、その磁性薄膜上に絶縁層を介して形成された第一の平面コイルと、その平面コイルと面対称となるように他方の基板上に磁性薄膜と絶縁層を介して形成された第二の平面コイルとのコイル面同士が絶縁膜を介して重ね合わされ、第一と第二の平面コイルの入、出力端子が電氣的に分離され、それぞれが1次および2次側の端子を構成するものとする。

40 【0020】そのようにすれば、これまでの製造限界の二倍の厚さのコイル導体をもつ平面型トランスを、プロセス上の問題も無く容易に実現できる。

【0021】

【発明の実施の形態】以下、実施例を参照しながら本発明の実施の形態を詳細に説明する。

【実施例1】図1は、本発明第一の実施例（以下実施例1と記す。以下同様）の平面型インダクタのおよそ半分の部分断面図である。

【0022】図1において、シリコンウェハ21上に酸化膜22とポリイミドからなる絶縁膜23を介して、C

CoHfTaPdの磁性薄膜24が積層されており、その磁性薄膜24を覆うポリイミドからなる絶縁膜23の上に、コイルが形成されている。図では、コイルの断面のコイル導体27および17と、その間のポリイミドの中間絶縁膜26および16の断面が示されている。コイル導体27および17は、インジウム半田18で接合されている。コイル導体17と中間絶縁膜16との上には、ポリイミドの絶縁膜13を介してCoHfTaPdの磁性薄膜14が積層され、更にその上をポリイミドの絶縁膜13が覆っている。29aは、コイル導体27と接続導体29bで接続されたリード接続のための電極である。図示されない左側部分は、中心線A-Aについてはほぼ対称であるが、もう一つの電極が導体コイル27の中央部から取り出されている点が違っている。

【0023】この実施例1の平面型インダクタは、コイル導体17と中間絶縁膜16から上の上部チップChと、コイル導体27と中間絶縁膜26から下の下部チップClとが接合されたものである。図2(a)ないし(f)および図3(a)ないし(d)は、実施例1のインダクタの上部チップChの製造方法を説明するための製造工程順の部分断面図である。以下、その製造方法について工程順に説明する。

【0024】Si基板(直径4インチ)11上に絶縁膜13aとしてポリイミドを3 μ m塗布し、キュアする[図1(a)]。CoHfTaPdの磁性薄膜14をスパッタ法で3 μ m成膜する[同図(b)]。ポジ型フォトリソ resist 20を塗布しパターンを形成する[同図(c)]。

【0025】フォトリソ resist 20をマスクとして王水で磁性薄膜14のエッチングをおこなった後、アセトンに浸漬してフォトリソ resist 20を除去する[同図(d)]。

層間の絶縁膜13bとしてポリイミドを塗布し、キュアする[同図(e)]。ポリイミド膜厚は、10 μ mである。絶縁膜13b上に無電解メッキの核となる白金(Pt)核15をスパッタ法で0.4nm形成する[同図(f)]。

【0026】中間絶縁膜16となる感光性ポリイミドを塗布、露光し、メッキの型となるコイルパターンを形成し、キュアする[図3(a)]。ポリイミドの膜厚はキュア前で40 μ m、キュア後で25 μ mである。メッキ型の寸法は例えば、内寸80 μ m、間隔70 μ mである。無電解銅メッキをおこない、メッキの型の底部に銅を0.2 μ m析出させ、電解メッキ用の通電層17aとする[同図(b)]。

【0027】電解銅メッキをおこない、コイル導体17を形成する。コイル導体17の厚さは中間絶縁膜16と同じく25 μ mである[同図(c)]。ニッケルN(Ni)とインジウム半田(In/Sn=50/50)をそれぞれ0.2 μ m、2 μ mの厚さに順次電解メッキする[同図(d)]。このように加工されたメッキ厚さが2

5 μ m程度のシリコンウェハは、顕在化する程の反りを示さず、比較的フラットである。そのコイル導体側の部分平面図の例を図6(a)に示す。この例ではコイル形状は6ターンの正方形スパイラルであるが、更にターン数の多いものもある。以上のようにして作製されたものをダイシングしたチップを上部チップChと呼ぶことにする。

【0028】この一連の加工に用いられたマスク系列とコイルの部分の鏡像関係にあるマスク系列を用いて同様にして下部チップClを得る。下部チップClの平面図は、図6(b)に示すように上部チップChと鏡像関係にある配置を示し、コイル部分の断面構造は基本的に上部チップChと同一である。ただし、コイルの中心部とコイルの最外周端部に設けられた電極からの引出し配線を設ける(この場合下部チップClから引き出す)必要がある関係上、製造工程が上部チップChの場合と若干異なる。

【0029】以下この点について図4(a)ないし(e)および図5(a)ないし(d)で説明する。上部チップChと異なり、基板として厚さ1 μ mの酸化膜22を形成したSiウェハ(直径4インチ)21を用いる。上部チップChと同様な方法で酸化膜22上に無電解メッキの核となる白金(Pt)核25を0.4nm形成する[図4(a)]。

【0030】次に絶縁膜23aとして感光性ポリイミドを3 μ m塗布、露光し、パターニングをおこなう[同図(b)]。絶縁膜23aの無い部分に、上部チップChと同様にして銅の無電解メッキおよび電解メッキをおこない(膜厚3 μ m)、コイルの電極および引出し配線29a等を形成する[同図(c)]。

【0031】次に絶縁膜23bとしてポリイミドを3 μ m塗布し、キュアする[同図(d)]。引き続きCoHfTaPdの磁性薄膜24をスパッタ法で3 μ m成膜し、ポジ型フォトリソ resist を塗布しパターンを形成した後、フォトリソ resist をマスクとして王水でエッチングをおこない、磁性薄膜24のパターン形成をする。その後アセトンに浸漬してフォトリソ resist を除去する[同図(e)]。

【0032】スパッタ法により酸化けい素膜(3 μ m)30を堆積し、パターニングしてポリイミドのエッチングマスクとする[図5(a)]。次にこの酸化けい素膜30のマスクを用いて、下地の銅の引出し配線29aまで貫通したスルーホールを形成した後、ふつ酸で酸化けい素膜30を除去する[同図(b)]。

【0033】そのスルーホールに電解メッキで銅を9 μ m埋め込み、接続導体29bとする[同図(c)]。それ以降は、上部チップChの製造工程の図2(f)以降と同様にし、チップ化して下部チップClとする[図5(d)]。上部チップChと下部チップClとのコイル導体が重なるように、図6(a)、(b)のB側同士を

位置合わせしてリフロー（120℃、10秒間）することにより図1の平面型インダクタが完成する。上部チップChの少なくとも一部の寸法を下部チップC1より小さい寸法とし、下部チップC1の電極が上部チップChの外側にはみ出すようにすると接続に便利である。

【0034】以上のような方法で、従来の限界の二倍近い厚さ50μmのコイル導体をもつインダクタが実現できた。これにより、交流抵抗成分を増すことなく、直流抵抗が、約1/2に低減できた。各チップCh、C1としてはコイル導体の厚さが25μmであったので、ウェハの反りがその後の工程に支障を来すという問題もなく製造できた。しかも例えば数mm角のサイズにチップ化した後では、その反りが無視できる程小さくなる上、互いに逆に反った二つを接合しているの、平面型インダクタとしては全く問題ない。

【0035】【実施例2】図7は本発明の第二の実施例の平面型インダクタの断面図である。実施例1の平面型インダクタは、コイル導体の直流成分の抵抗を低減することを主題としたが、本実施例は直流成分の抵抗低減に加えて、交流抵抗成分の一つである磁気誘導型銅損、すなわちコイル導体中の渦電流損の低減をも意図したものである。

【0036】実施例1で製作した下部チップC1の製造工程で電解銅メッキ（図5（c）したところでチップ化する（下部チップC12））。同様にして図6（a）のパターンで、下部チップC12と同様の引出し電極をもつ構造の上部チップCh2を製作し、それらの下部チップC12と上部チップCh2とをポリイミド（厚さ3μm）膜50を介して接着する。接着後、上部チップCh2と、下部チップC12の電極にリード付けをし、各リードを共通にして入出力端子とする。コイル部分は並列接続された構造となる。

【0037】この実施例2の平面型インダクタでは、実施例1のものと比べて導体が二分割されたことになるので、渦電流損が低減される。コイル電流の分割は、一般にはインダクタンス値の低下を引き起こすが、本構造の場合、2枚の磁性薄膜にサンドイッチされた中での分割であり、磁氣的に密に結合しているため、インダクタンス値の低下は無視できる。

【0038】【実施例3】図8は、本発明の第三の実施例の平面型トランスの断面図である。この場合は、実施例2と同様にして上部チップCh3と下部チップC13とをポリイミド（厚さ3μm）膜60を介して接着後、上部チップCh3と、下部チップC13のリード端子をそれぞれ独立に引出し、それぞれ1次端子、2次端子とすることにより1:1のトランスとした。なお、1:nのトランスは、ターン数の異なるチップを組み合わせる

ことで容易に製造できる。

【0039】

【発明の効果】以上説明したように本発明によれば、互いに面对称となる平面コイルを重ね合わせるることにより、従来製造方法の限界の二倍の厚さのコイル導体を、プロセス上の問題も無く容易に実現できる。その結果、抵抗が低減されて、Q値の高いすなわち高効率の磁気誘導部品が得られる。

【0040】また、チップ化したコイル導体を、絶縁膜を介して重ね合わせるることにより、直流成分の損失低減に加えて交流成分の損失を低減した平面型インダクタや平面型トランスを提供できる。

【図面の簡単な説明】

【図1】本発明実施例1の平面インダクタの部分断面図

【図2】（a）ないし（f）は実施例1の平面インダクタの上側部分の製造工程順の部分断面図

【図3】（a）ないし（d）は図2（f）に続く実施例1の平面インダクタの上側部分の製造工程順の部分断面図

【図4】（a）ないし（e）は実施例1の平面インダクタの下側部分の製造工程順の部分断面図

【図5】（a）ないし（d）は図4（e）に続く実施例1の平面インダクタの下側部分の製造工程順の部分断面図

【図6】（a）は本発明実施例1の平面インダクタの上側部分の部分平面図、（b）は下側部分の部分平面図

【図7】本発明実施例2の平面トランスの部分断面図

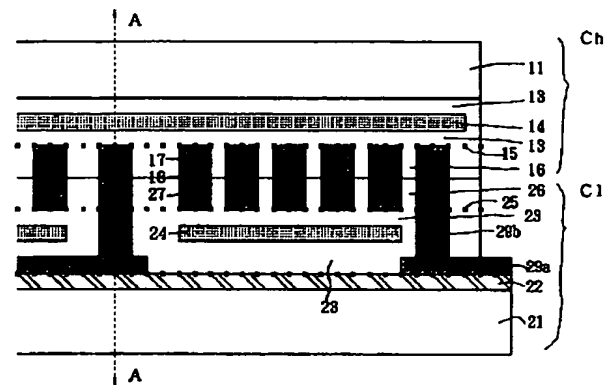
【図8】本発明実施例3のインダクタの部分断面図

【図9】従来の磁気誘導部品のコイル部分の製造工程順の部分断面図

【符号の説明】

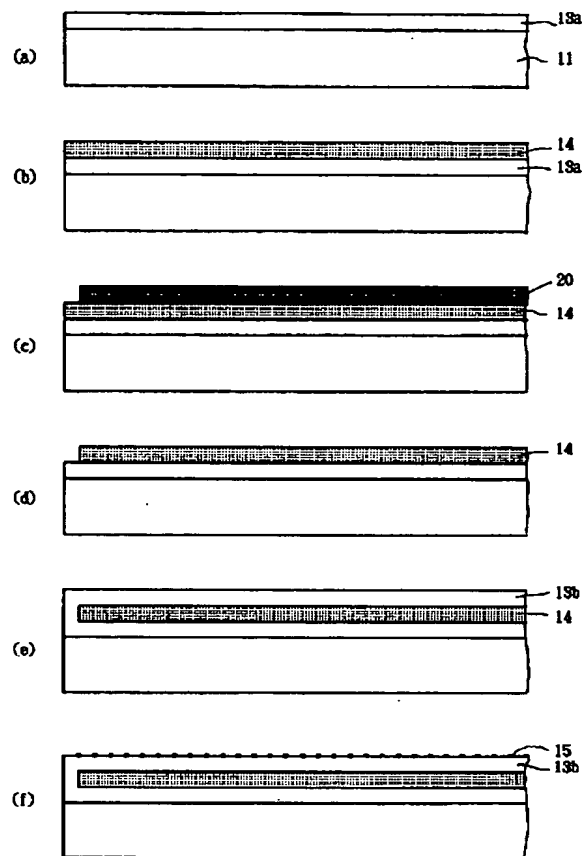
1、11、21	シリコンウェハ
2、22	酸化膜
3、13、13a、13b、23a、23b、23c	絶縁膜
4、14、24	磁性薄膜
5、15、25	白金核
6、16、26	中間絶縁膜
7、17、27	コイル導体
18	インジウム半田
19a	電極
19b	接続導体
20	フォトレジスト
30	酸化けい素膜
50、60	ポリイミド膜
Ch、Ch2、Ch3	上部チップ
C1、C12、C13	下部チップ

【図 1】

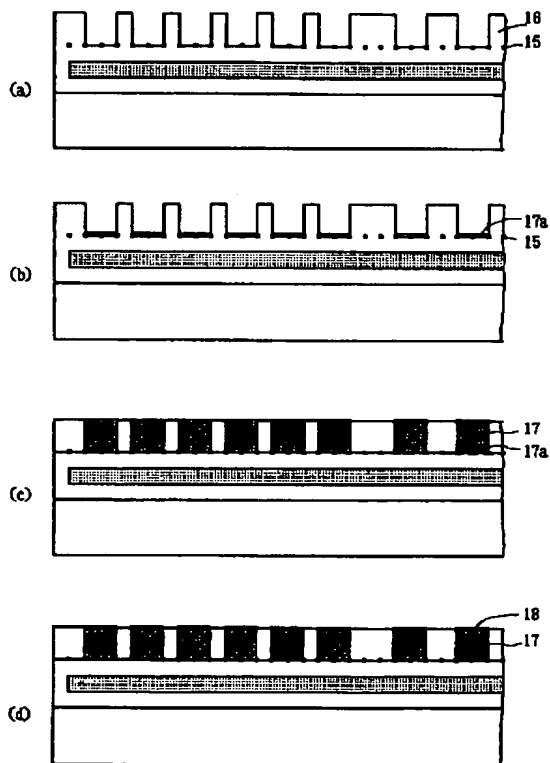


- | | |
|---------------|-------------|
| 11、21 シリコンウェハ | 17、27 コイル導体 |
| 13、23 絶縁膜 | 18 インジウム半田 |
| 14、24 磁性薄膜 | 19a 電極 |
| 15、25 白金膜 | 19b 接続導体 |
| 16、26 中間絶縁膜 | 22 酸化膜 |
| Ch 上部チップ | C1 下部チップ |

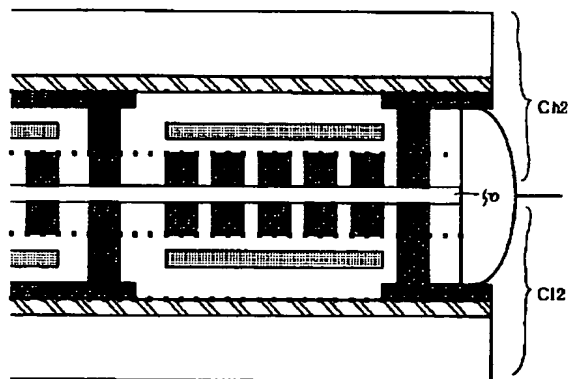
【図 2】



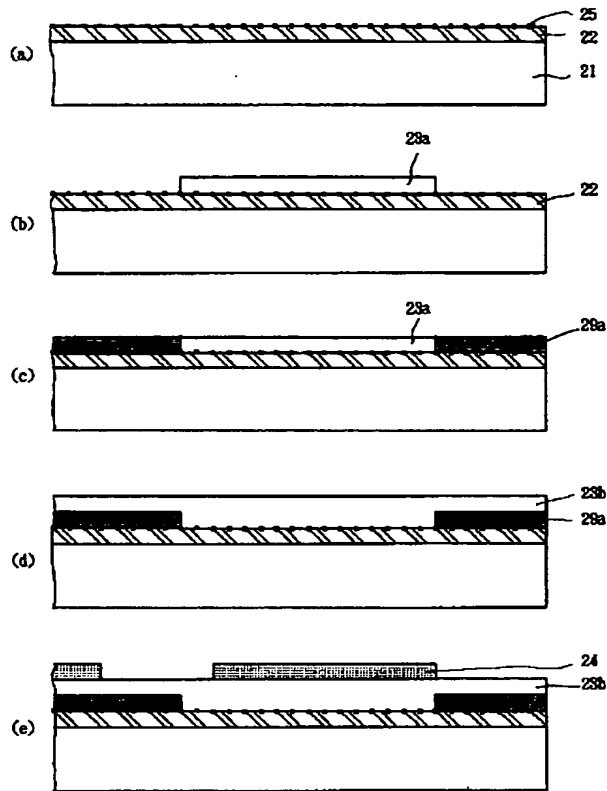
【図 3】



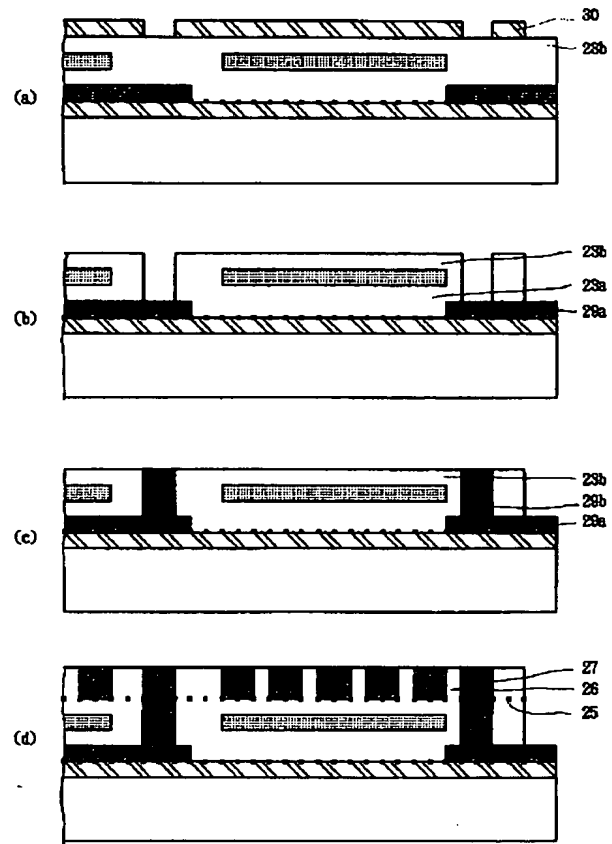
【図 7】



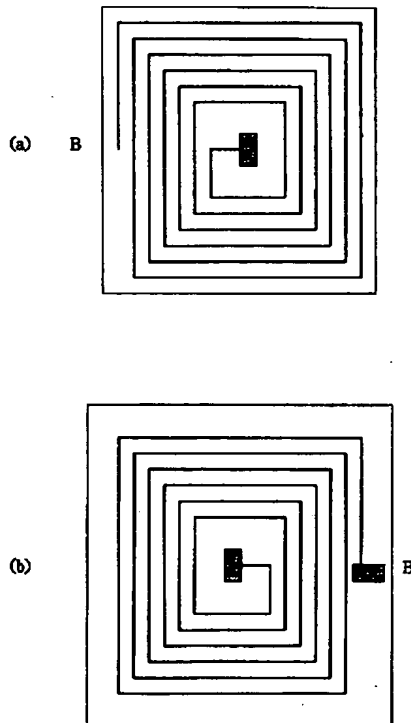
【図 4】



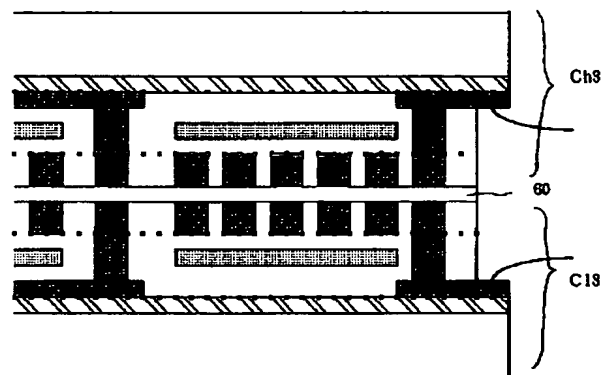
【図 5】



【図 6】



【図 8】



【図 9】

